

一种新型的动态可重构总线时间同步方法

李 超^{1,2},邱柯妮^{1,2},张伟功^{1,3},张少楠^{1,2}

(1 首都师范大学 信息工程学院,北京 100048;2 高可靠嵌入式系统技术北京市工程研究中心,北京 100048;
3 北京数学与信息交叉科学 2011 协同创新中心,北京 100048)

摘 要: 动态可重构总线是一种面向嵌入式系统的高速串行总线,为实现总线系统中各主节点的时间同步,解决多主仲裁中对时间精度的要求,设计了一种时间同步方案:时间主节点通过时间广播包形式向其它节点周期发送自己的时间信息;时间从节点利用通道检测时的三次握手过程计算出通道传输延迟,对收到的时间码信息进行修正后,各节点根据修正后的广播时间来校对自己的时间,从而达到各节点间的时间同步. 经过通道速率为 100 Mb/s 的实际系统的仿真测量,节点同步时间误差在 100 ns 左右.

关键词: 高速总线;UM-BUS;时间同步;故障检测;嵌入式系统

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2016)07-0060-04

A Novel Time Synchronization Method for Dynamic Reconfigurable Bus

LI Chao^{1,2}, QIU Ke-ni^{1,2}, ZHANG Wei-gong^{1,3}, ZHANG Shao-nan^{1,2}

(1 College of Information Engineering, Capital Normal University, Beijing 100048, China;
2 Beijing Engineering Research Center of High Reliable Embedded System, Beijing 100048, China;
3 Beijing Center for Mathematics and Information Interdisciplinary Sciences, Beijing 100048, China)

Abstract: Dynamically Reconfigurable high-speed serial bus, UM-BUS is a novel high-speed serial bus for embedded systems. Targeting precious time synchronization among master nodes, this paper proposes a novel time synchronization method to meet the requirements of time precision in UM-BUS. In the proposed method, time is first broadcasted through time broadcast packets. Then, the transmission delay and time deviations via three handshakes during link self-checking and channel detection can be worked out referring to the IEEE 1588 protocol. Finally, each node can calibrate its own time according to the broadcasted time. The proposed method has been proved to meet the requirement of real-time time synchronization. The experimental results show that the synchronous precision can achieve a bias less than 100 ns.

Key words: high-speed bus; UM-BUS; time synchronization; fault detection; embedded system

1 引言

总线作为嵌入式系统结构中各个部件的连接纽带,对于保障系统实时可靠稳定的运行起着至关重要的影响^[1]. 在航空航天等实时性、可靠性要求较高的场合,设计出一种可动态重构的高速串行总线—UM-

BUS,该总线采用基于 MLVDS 技术^[2]的总线型拓扑结构,允许最多 32 条链路通道并发传输数据,多个设备可直接互连,支持多主节点通信(multi-master),不需要路由等设备,最大通信速率可达 6.4 Gb/s,能实时的对 31 个链路通道动态容错^[3-4].

UM-BUS 总线可配置为单主和多主模式,在多

主模式中最多支持 8 个主节点,任一时刻只能有一个总线主节点占用总线通信. UM-BUS 总线采用时隙令牌轮转方式进行总线仲裁. 这种时隙令牌的仲裁方式要求所有的节点维持在一个时间系统中,以此来保证仲裁的有序进行.

本文提出了一种具有传输时间修正的 UM-BUS 总线的时间同步方法. 本文的创新之处表现在如下几个方面:

- (1)提出了一种改进 PTP 时间同步算法,并利用硬件语言实现;
- (2)设计了基于时间广播包实现节点“对时”的机制;
- (3)时间同步可在一个时钟计数周期内完成,对总线资源带宽造成的开销非常小.

2 动态可重构总线

动态可重构总线(UM-BUS)采用如图 1 所示的多通道并发冗余的总线型拓扑结构,节点可直接连入,不需要路由或中继等设备. 总线上的节点按功能可分为主节点、从节点、监视节点. 在节点通信过程中,如果某几条链路通道出现断路等故障,总线控制器会实时监测并屏蔽故障通道,将数据动态分配到其余有效通道上继续通信,实现总线通道的动态重构.

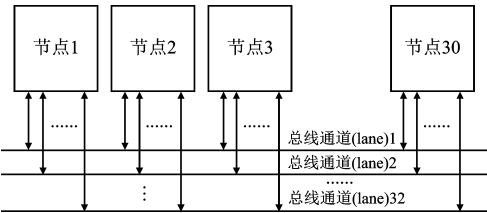


图 1 UM-BUS 总线结构拓扑图

表 1 UM-BUS 总线协议数据包

命令头(16 B)									数据(1 025 B)	
1 B	1 B	1 B	6 B	4 B	1 B	1 B	1 B		1 024 B	1 B
Deset Num	Src Num	Omd Frame	Addr Offset	SData	Ack Omd	Ack Sta	Omd CRC		Data	Data CRC
目标设备号	源设备号	命令/状态帧	地址偏移	短包数据	响应命令	状态字	命令头 CRC		主体数据	数据 CRC

总线上的所有节点在上电自检及故障检测时,会在该节点连接的所有通道进行一次如图 3 所示的三次握手过程建立通道故障信息表,用以记录各通信节点间的链路通道健康状态. 如果检测发起者收到检测响应包则认为两节点间的通路是可用的,如果检测响应者收到线路确认包则认为两节点间的通道是健康的,因而两节点便各自维持了一张健康通道状态表. 各节点的传输子层根据这个健康状态通道表将数据均衡的动态分配到健康通道上,实现总

UM-BUS 的协议模型如图 2 所示,从上到下依次是处理层、数据链路层、物理层. 处理层主要负责控制整个总线系统,完成总线的管理及与上层应用或外设的交互. 数据链路层又分为传输子层和 MAC 层,MAC 子层的主要任务包括有链路检测,维护通道健康状况表并为提供给传输子层,传输子层根据该表实现数据分组传输与重组. 物理层包括有逻辑子模块和电气子模块,其中逻辑子模块主要完成数据 8b/10b 编解码,时钟恢复,串并转换等功能,电气子模块定义了总线的物理特性.

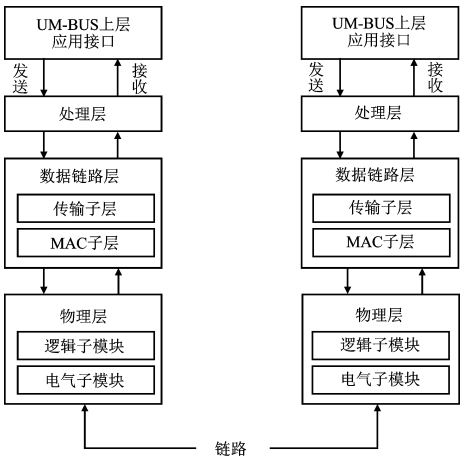


图 2 UM-BUS 总线协议模型

UM-BUS 在通信过程中采用如表 1 所示数据包的格式在各个协议层间进行数据传输. 采用主从命令应答的方式,由主节点发送总线协议数据包,从节点执行相应的读写命令并返回状态及数据. 总线协议数据包分为长包数据和短包数据,其格式如表 1 所示,短包数据用于一些控制命令或少量数据的传输,长包数据用于传输大量数据.

线的动态重构.

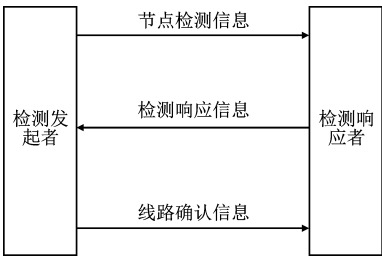


图 3 链路检测过程

3 动态可重构总线时间同步方法

在 UM-BUS 总线系统中选取一个主节点作为时间主节点,周期性的向其他节点广播时间包,将它的时间码送给其它节点. 总线上的其余节点在收到时间主节点广播的时间包后,首先修正传输延迟,然后用其校正自身的时间,从而实现精确对时的目的. 动态可重构总线时间同步方法主要包括以下几方面的内容.

(1)传输延迟测量,传输延迟包括时间包从时间主节点到各个节点间的线路传输延迟、各节点的收发器电路延迟及数据处理延迟(编码延迟),其中电路延迟及编码延迟是已知的,对各个节点都相同,线路传输延迟则由于各节点的连接位置不同而不同.

(2)时间广播包的设计,时间主节点采用广播的形式周期性的向其余节点广播时间,为满足令牌仲裁对时间精度的要求,需合理的设计广播包的格式.

(3)时钟同步,总线上其余节点收到时间广播包后,根据其收到的基准时间及测得的传输延迟来同步自己的时钟. 同时为满足系统对同步精度的需求,需要合理的设计广播周期,以便于总线上的其余节点.

3.1 传输延迟测量

在上述延迟中,最主要的是传输延迟,本文参考 NPT 算法的 1588 协议^[5],结合 UM-BUS 总线通道检测的三次握手过程计算各个节点与时间主节点的传输延迟,如图 4 所示. 具体计算过程如下所示.

(1)在链路检测时检测发起者(可能是时间主节点)在发送检测命令包时,将发送时刻的时间值 t_1 放在检测命令包的最后一个字节中,发送给检测响应者.

(2)检测响应者收到检测命令包后,首先记录接收时间值 t_2 . 然后根据总线协议,向检测发起者回送检测响应包. 发送检测响应包时,也将发送时刻的时间值 t_3 作为最后一个字节,发送给检测发起者.

(3)检测发起者收到响应包后,再从所有通道上把收到响应包的时间 t_4 放在检测确认包的最后一个字节中发送给检测响应者.

经过上述通道检测过程后,检测响应者便有了 t_1, t_2, t_3, t_4 这 4 个已知的时间,代入如下方程组:

$$\begin{cases} t_1 + \text{Delay} + \text{Offset} = t_2 \\ t_3 + \text{Delay} - \text{Offset} = t_4 \end{cases}$$

其中 Delay 是检测响应者与检测发起者(可能的的时间主节点)之间的线路传输延迟,Offset 是两节点间的当前时间偏差. 解方程组,可得:

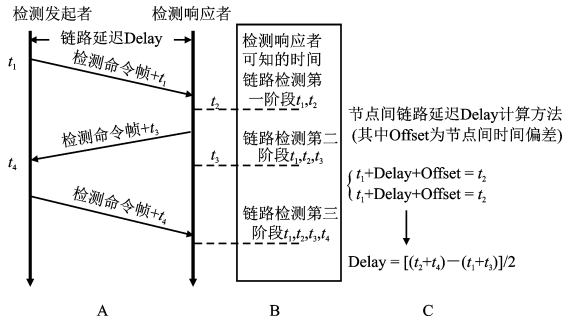


图 4 线路传输延迟测量计算示意图

$$\text{Delay} = \frac{(t_2 + t_4) - (t_1 + t_3)}{2}$$

即得出两节点间的传输延迟,由于 UM-BUS 总线中节点的位置一旦确定便不会改变,因此测得的传输延迟也是确定不变的. 但不同链路通道上由于线缆长度不同,线路传输延迟也会不一致. 为此需将该节点与时间主节点所连的所有通道的延迟记录在一个节点线路延迟表中.

3.2 时间广播包

在所有节点的链路检测都完成并测得传输延迟后,时间主节点周期性的从所有通道上向总线上其余所有节点广播时间包. 时间广播包格式如图 5,其中各个字段解释如下:

(1)时间码广播控制字,为 8 b/10 b 编码控制字 K28. 4,表示时间码广播包.

(2)命令字,一个字节,其中:高 5 位为发送广播时间命令的源节点号;低 3 位为校时命令,具体功能后面有描述.

(3)时间值,32 位字,分四字节传输,具体定义与校时命令有关,详见校时命令定义.

(4)校验字节,一个字节,为命令字与四个时间值字节的模 2 累加和.

(5)校时命令分两种,各自功能及时间值定义如下:

校时命令 0:同步所有节点设备的 ns、us 及 ms 计数器,命令中 32 位时间值定义为:高 10 位为 ms 计数值(范围为 0~999);接下来 10 位为 us 计数值(范围 0~999);接下来 7 位为 ns 计数器(范围 0~(n/2-1)),n 为总线通道速率 Mb/s 值,如总线速率为 200Mb/s/通道,则 n 为 200,总线速率为 40 Mb/s/通道时,n 为 40. 命令中的时间值对应该命令发送时时间码广播控制字写入通道缓冲的时刻.

校时命令 1:重置各节点设备的秒计数器为时间值,命令中 32 位时间值为源节点秒计数器的当前

值.响应该命令的节点需要将自的秒计数器修改为 命令中给出的时间值.

控制字	命令字	时间值1	时间值2	时间值3	时间值4	校验字节
7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0
K28.4	源节点号	校时命令	指定时间值高8位	指定时间值次高8位	指定时间值次低8位	指定时间值低8位
						前5个字节按位累加和

图 5 时间广播包格式

3.3 时钟同步

在完成了传输延迟的测量后,当时间主节点周期性的广播时间 T ,收到时间广播的节点便可根据广播包的命令字、时间值及测得的传输延迟来同步自己的时钟,即 $T_{node} = T + Delay + T_d$,其中 T_d 为数据处理延迟及收发器延迟,这个延迟是已知的,从而达到“对时”的目的.具体过程如图 6 所示.

图 6 上半部分是 3.1 节描述的链路检测及延迟测量的过程,总线上的其余节点在收到时间广播包后,依据时间包中的命令字及时间值来同步自己的时钟.下半部分虚线部分主要是完成校时过程,时间主节点每 2.5 ms 广播一次时间包(具体广播周期可依据同步精度需求确定).其余节点收到时间广播包后,依据校时命令及链路延迟来修正自己的时间,以此来进行时间同步.

当前实现中广播周期定为 2.5 ms,当总线工作时钟精度误差在 20~50 ppm 之间时,每 1 ms 将产生 20~50 ns 的误差.在多主仲裁协议中的规定时隙为 500 ns,其中 260 ns 是检测到其他节点占用所需的最大时长,如果我们允许误差控制在 150 ns 之内(这里的误差可根据需求控制),那么剩余的 90 ns 便是需要消除的误差,我们选取每 2.5 ms 广播一次时间使其他主节点进行对时,以此来将同步精度控制在一个可接受的范围内.同时为避免时间同步过程中的单点失效情况,任何一个具有时间同步能力的主节点的下一个节点可以替代之前的同步节点成为新的时间同步节点,每个时间同步节点在同步控制权转移前需每隔 2.5 ms 向总线的所有通道广播发送同步命令,以便于各个节点间的时间同步.

4 仿真实验与结果分析

UM-BUS 总线支持最多 32 条通路并发传输,为提高同步效率,降低通道时间同步的带宽开销,时间广播时采用并行的方式,在链路检测计算得出链路延迟后,在所有通路上同时进行时间包的广播.另外为简化时间同步逻辑,降低资源开销,具体实现时采用“独立广播集中控制”的分层控制模型.每个通信节点通过检测及同步控制状态机 MAC_ALL 来

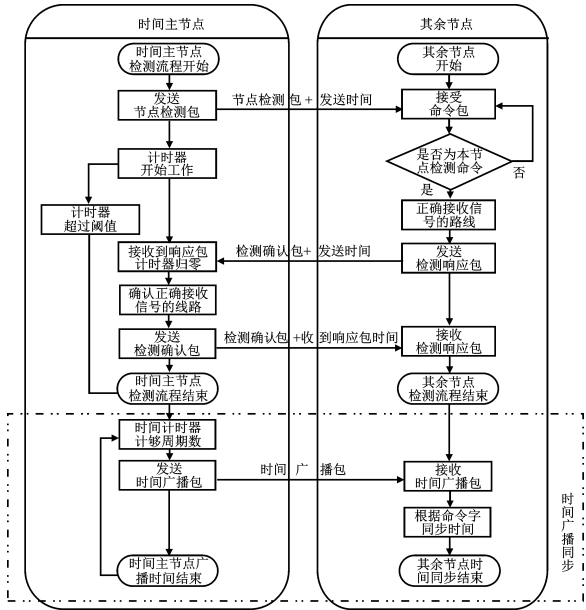


图 6 时间同步流程

控制其所有通道的通道检测及同步控制器 MAC_1CH.

MAC_ALL 是检测及同步的主要控制部分,根据检测命令包或上层检测命令来启动检测并测量计算节点与时间节点的链路延迟,完成链路延迟表的更新,控制各通道 MAC_1CH 进行时间广播包的收发,完成时间同步;每个总线通道设置有通道检测及同步控制器 MAC_1CH,在 MAC_ALL 的控制下完成时间广播包的组包与解析,在所有通道上进行时间广播包的发送及接受,实现总线的时间同步.

实验结果表明,无论是在不同时钟频率情况下,或者不同时钟频率偏差情况下,本文所实现的时间同步方法均可有效的达到较好的同步效果,且同步时间维持在一个同步周期内.

5 结束语

本文实现的动态可重构总线中时间同步方法,首先通过通信链路“命令-应答-确认”三段式检测过程,计算并存储与时间主节点的线路传输延迟,然后时间主节点周期性的将自身时间码打包广播发送,最后其他节点设备收到广播包后,根据线路延迟对

(下转第 68 页)

从整体上讲,ICFOA 在收敛精度、收敛速度及稳定性上均优于 FOA,与 AFOABM、FOAAM 和 ACFOA 比较,其收敛可靠性和精度相当好.

5 结束语

本文将混沌扰动策略引入基本果蝇优化算法,提出一种新颖的改进果蝇优化算法.在寻优迭代过程中,使用混沌策略对最优果蝇个体进行扰动,进行二次寻优,以摆脱局部极值的困扰,寻找到更优的果蝇个体.基准测试函数的结果证明,与基本果蝇优化算法相比,新算法具有比较好的收敛精度、收敛速度和鲁棒性.

参考文献:

[1] 潘文超. 果蝇最佳化演算法—最新演化式计算技术[M]. 台湾: 沧海书局,2011.

[2] 刘志雄,王雅芬,张煜. 多种群果蝇优化算法求解自动化仓库拣选作业调度问题[J]. 武汉理工大学学报, 2014,33(3):71-77.

[3] 王克甫,薛鹏,黄全振,等. 求解旅行商问题的改进果蝇算法[J]. 计算机工程与设计, 2014, 34(8):

2789-2792.

[4] 刘成忠,韩俊英. 基于细菌迁徙的自适应果蝇优化算法[J]. 计算机工程与科学,2014,36(4):690-696.

[5] 韩俊英,刘成忠. 自适应变异的果蝇优化算法[J]. 计算机应用研究,2013,30(9):2641-2644.

[6] 韩俊英,刘成忠. 基于历史认知的果蝇优化算法[J]. 计算机科学与探索,2014,8(3):368-375.

[7] 韩俊英,刘成忠. 自适应混沌果蝇优化算法[J]. 计算机应用,2013,33(5):1313-1316.

[8] Pan W T. Using modified fruit fly optimization algorithm to perform the function test and case studies[J]. Connection Science,2013,25(2/3):151-160.

[9] Pan W T. A new fruit fly optimization algorithm; taking the financial distress model as an example[J]. Knowledge-Based Systems,2012,26(2):69-74.

作者简介:

李宗岳 男,(1988-),硕士研究生.研究方向为嵌入式控制系统开发与应用、智能算法优化.

陈志军(通讯作者) 男,(1967-),教授,研究生导师.研究方向为智能信息处理和智能控制与系统开发.

E-mail:chenzj1110@163.com.

(上接第 63 页)

其进行修正并更新自己的时间码,从而解决了动态可重构总线各节点间时间同步的问题^[6],使总线上所有节点维持在一个时间系统内.通过仿真测试表明同步误差最高在 100 ns 左右,为总线系统提高时间确定性提供了技术保障,同时也可满足总线时隙令牌仲裁方案对同步精度的需求.以 16 通道动态可重构总线在 Virtex-5 系列 FPGA 上实现为验证,在每通道速率为 100 Mb/s 的实际系统中,该方法具有低开销,高可靠的特性,满足动态可重构总线的需求.

参考文献:

[1] Wang Jiulong. Development state and thought of the satellite synthesized electronic system [J]. Spacecraft Engineering, 2007, 16(5): 68-73.

[2] 崔维嘉,樊少杰. 新一代的总线结构—PapidIO[J]. 通信技术,2001,34(4):49-50.

[3] Du Rui, Zhang Weigong, Deng Zhe, et al. Parallel CRC algorithm design and implementation of new bus

[J]. Computer Engineering and Dedign, 2013, 34(1): 131-135.

[4] Deng Zhe, Zhang Weigong, Zhu Xiaoyan, et al. Design and implementation of data transmission management method for dynamic reconfigurable bus [J]. Computer Engineering, 2013, 39(1): 265-269.

[5] 杨毅. MLVDS 标准介绍及德州仪器 SN65MLVD200 系列[J]. 今日电子,2003,(29):53-55.

[6] 王铮. IEEE1588 时钟同步协议的研究与实现[J]. 计算机网络,2012,37(23):53-55.

作者简介:

李超 男,(1990-),硕士研究生.研究方向为高可靠嵌入式系统设计.

邱柯妮(通讯作者) 女,(1978-),博士,讲师.研究方向为高可靠嵌入式系统设计. E-mail:qiukn@chu.edu.com.

张伟功 男,(1967-),博士,研究员.研究方向为高可靠嵌入式系统设计.

张少楠 男,(1990-),硕士研究生.研究方向为高可靠嵌入式系统设计.